

CLIPPEDIMAGE= JP410074625A

PAT-NO: JP410074625A

DOCUMENT-IDENTIFIER: JP 10074625 A

TITLE: INDUCTOR ELEMENT

PUBN-DATE: March 17, 1998

INVENTOR-INFORMATION:

NAME

OKAMOTO, AKIRA

ASSIGNEE-INFORMATION:

NAME

IKEDA TAKESHI

COUNTRY

N/A

APPL-NO: JP08249032

APPL-DATE: August 30, 1996

INT-CL (IPC): H01F017/00;H01L021/60 ;H01L027/04  
;H01L021/822 ;H05K001/02  
;H05K003/10

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an inductor element, having excellent electric characteristics, wherein high density mounting can be conducted.

SOLUTION: An inductor element is composed of a plurality of pattern pieces 2 formed on a substrate 1 and bonding wires 3 with which said pattern pieces 2 are connected. Each pattern pieces 2 is formed leaving the prescribed interval. As the bonding wires 3 are connected to the pattern pieces 2 in the state wherein they are levitated from the substrate 1 so that they do not come in contact with the substrate 1, other circuit element can be mounted on the substrate 1 which is positioned on the lower side of the

bonding wires 3, and a high density mounting can be made possible. Also, when a current is allowed to flow to the inductor element of the above-mentioned structure, magnetic flux is generated in parallel with the surface of the substrate 1, and as a result, an eddy current is not generated on the surface of the substrate 1.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-74625

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl. <sup>9</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 F 17/00			H 0 1 F 17/00	A
H 0 1 L 21/60	3 0 1		H 0 1 L 21/60	3 0 1 A
			H 0 5 K 1/02	L
		7511-4E		A
			H 0 1 L 27/04	L
H 0 5 K 1/02				

審査請求 未請求 請求項の数 7 F D (全 5 頁) 最終頁に続く

(21) 出願番号 特願平8-249032

(22) 出願日 平成8年(1996) 8月30日

(71) 出願人 390026192

池田 毅

東京都大田区山王 2-5-6-213

(72) 発明者 岡本 明

埼玉県上尾市緑丘 4丁目 7-17

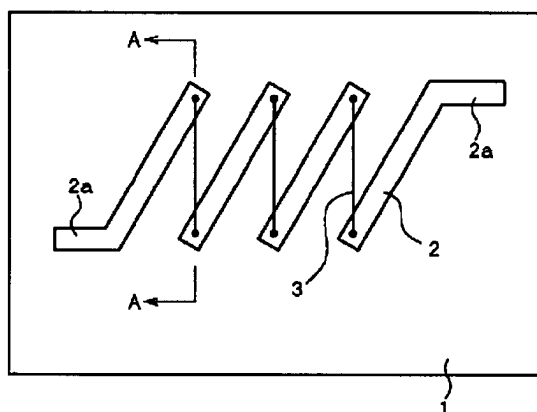
(74) 代理人 弁理士 雨貝 正彦

(54) 【発明の名称】 インダクタ素子

(57) 【要約】

【課題】 高密度実装が可能であり、電気的特性に優れたインダクタ素子を提供する。

【解決手段】 基板1上に形成された複数のパターン片2と、これらパターン片2を接続するボンディングワイヤ3とによってインダクタ素子を構成する。各パターン片2はそれぞれ所定間隔を隔てて形成される。ボンディングワイヤ3は、基板1に接触しないように基板1から浮かせた状態でパターン片2に接続されるため、ボンディングワイヤ3の下側に位置する基板1上には他の回路素子を実装することができ、高密度実装が可能となる。また、このような構造のインダクタ素子に電流が流れると基板1の表面に平行に磁束が発生するため、基板1の表面に渦電流が発生しなくなる。



1

## 【特許請求の範囲】

【請求項1】 それぞれが間隔を隔てて基板上に形成される複数のパターン片と、隣り合う前記パターン片を順に螺旋状に接続する複数のボンディングワイヤとを備えることを特徴とするインダクタ素子。

【請求項2】 請求項1において、前記パターン片のそれぞれは、前記基板上に平行に略一定間隔で形成され、前記ボンディングワイヤのそれぞれは、隣り合う前記パターン片の対角線上に位置する端部に接続されることを特徴とするインダクタ素子。

【請求項3】 請求項1または2において、接続されたそれぞれの前記ボンディングワイヤの長さおよび形状を略共通にしたことを特徴とするインダクタ素子。

【請求項4】 請求項1～3のいずれかにおいて、前記複数のパターン片と前記複数のボンディングワイヤとを覆う保護部材を設けたことを特徴とするインダクタ素子。

【請求項5】 それぞれが間隔を隔てて基板上に形成される複数のボンディングパッドと、それぞれ異なる前記ボンディングパッド間を接続する複数のボンディングワイヤとを含んで構成され、前記ボンディングパッドと前記ボンディングワイヤとで囲まれる領域が略円形状あるいは略多角形状になるように、前記ボンディングパッドのそれぞれを前記ボンディングワイヤで接続することを特徴とするインダクタ素子。

【請求項6】 それぞれが間隔を隔てて基板上に形成される複数のボンディングパッドと、それぞれ異なる前記ボンディングパッド間を接続する複数のボンディングワイヤとを含んで構成され、接続された前記複数のボンディングワイヤの形状が渦巻き形状になるように、前記ボンディングパッドのそれぞれを前記ボンディングワイヤで接続することを特徴とするインダクタ素子。

【請求項7】 請求項5または6において、前記複数のボンディングパッドと前記複数のボンディングワイヤとを覆う保護部材を設けたことを特徴とするインダクタ素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成されるインダクタ素子に関する。

【0002】

【従来の技術および発明が解決しようとする課題】半導体基板上に薄膜形成技術を利用して渦巻き形状のパターンを形成し、このパターンをインダクタ素子として利用する半導体回路が知られている。

2

【0003】図7はこの種のインダクタ素子から発生される磁束を説明する図である。同図に示すインダクタ素子11に所定の電流が流れると、同図の矢印で示すように半導体基板12の表面に垂直な方向、すなわち半導体基板12を貫通する方向に磁束が発生する。この方向の磁束は基板表面に渦電流を発生させ、この渦電流は半導体基板12上に形成された他の回路素子の動作に悪影響を与えるおそれがある。

【0004】また、図7に示すインダクタ素子11は、半導体基板12上に平面的に形成されており、基板12の実装領域をある程度占有する。特に、インダクタ素子11のインダクタンスを大きくしようとした場合には、渦巻きの径を大きくしたり、渦巻きの巻数を増やす必要があり、実装面積が大きくなる。このため、他の回路素子の実装領域が狭くなり、高密度実装が困難になる。また、インダクタ素子11の実装面積が大きいかほど半導体基板12内に浮遊容量が発生しやすくなる。

【0005】一方、インダクタ素子を構成するパターンの線幅およびパターン間隔を狭くすれば、実装面積を小さくすることができるが、パターンの線幅を狭くすると、その分抵抗値が増すため、インダクタ素子の電気的特性が悪くなる。

【0006】本発明は、このような点に鑑みて創作されたものであり、その目的は高密度実装が可能で、かつ電気的特性に優れたインダクタ素子を提供することにある。

【0007】

【課題を解決するための手段】上述した課題を解決するために、請求項1のインダクタ素子は、基板上に複数のパターン片を形成し、隣り合うパターン片をボンディングワイヤによって順に螺旋状に接続する。これにより、インダクタ素子の構造が立体的になって基板上的実装面積を小さくできる。

【0008】請求項2のインダクタ素子は、複数のパターン片を平行に並べて配置し、隣り合うパターン片の端部を対角線上にボンディングワイヤによって接続することにより、螺旋状のインダクタ素子を形成する。

【0009】請求項3、6のインダクタ素子は、パターン片とボンディングワイヤとを保護部材で覆うことにより、断線や磁束の漏れ等を防止する。

【0010】請求項4のインダクタ素子は、基板上に形成された複数のボンディングパッドをボンディングワイヤで接続することにより、ボンディングパッドとボンディングワイヤとで囲まれる領域を略円形状あるいは略多角形状にする。このような構造にすると、パターンを一切用いずにインダクタ素子を形成できるため、抵抗の小さい電気的特性に優れたインダクタ素子が得られる。また、ボンディングパッドの実装箇所以外は他の回路素子の実装に利用できる。

【0011】請求項5のインダクタ素子は、基板上に形

成された複数のボンディングパッドをボンディングワイヤで接続することにより、接続された複数のボンディングワイヤの形状を渦巻き形状にする。このような構造にすることにより、パターンを一切用いることなく渦巻き状のインダクタ素子を得ることができ、しかも抵抗を小さく、かつインダクタンスを大きくできる。

【0012】

【発明の実施の形態】以下、本発明を適用した一実施形態のインダクタ素子について、図面を参照しながら具体的に説明する。

【0013】〔第1の実施形態〕図1は、半導体基板上に形成された本実施形態のインダクタ素子の概略を示す平面図である。

【0014】同図に示すインダクタ素子は、基板1上に形成された複数のパターン片2と、隣接する各パターン片2を接続する複数のボンディングワイヤ3とで構成されている。各パターン片2は所定間隔を隔てて配置され、各パターン片2はほぼ矩形状に形成されている。また、基板1上の両端側に位置する2つのパターン片2には、不図示の他の回路素子と接続するためのパッド2aが一体に形成されており、このパッド2がインダクタ素子の入出力端子として用いられる。

【0015】基板1には、例えばn型シリコン基板（n-Si基板）やその他の半導体基板（例えばゲルマニウムやアモルファスシリコン等の非晶質材料）が用いられる。あるいは、エポキシ等を材料とするプリント配線板を基板1として用いてもよい。

【0016】一方、パターン片2には、アルミニウムや金等の金属薄膜、あるいはポリシリコン等の半導体材料が用いられ、ボンディングワイヤ3には、アルミニウムや金等の金属線が用いられる。

【0017】なお、基板1上には、インダクタ素子の他に、トランジスタ・ダイオード等の能動素子や、抵抗・コンデンサ等の受動素子が実装されるが、図1では、説明を簡単にするためにインダクタ素子のみを示している。

【0018】図2は、図1のA-A線の拡大断面図である。同図に示すように、ボンディングワイヤ3は、基板1に接触しないように基板1から浮かせた状態で隣接するパターン片2に接続される。より具体的には、隣接するそれぞれのパターン片2をボンディングワイヤ3によって順に螺旋状に接続する。

【0019】このような接続により、最終的に得られるインダクタ素子は立体的な構造になり、インダクタ素子の実装面積を小さくできる。したがって、他の回路素子の実装領域が広がり、高密度実装が可能となる。また、ボンディングワイヤ3の下側に位置する基板1上も他の回路素子を実装するために利用できる。

【0020】なお、図2では図示していないが、パターン片2とボンディングワイヤ3を含むインダクタ素子全

体はエポキシ樹脂等の絶縁性材料で形成された保護部材によって覆うのが望ましく、これによりボンディングワイヤ3の断線やパターンの欠け等を防止できるとともに、磁束の漏れも防げる。

【0021】図3は、図1に示すインダクタ素子に電流を流したときに発生される磁束の様子を示す図である。図3の一点鎖線の矢印で示すように、磁束は、螺旋状に接続されるボンディングワイヤ3の並ぶ方向、すなわち基板1の表面に平行に発生する。このため、基板1の表面に発生する渦電流の発生量を、従来のように渦巻き形状のパターンを形成した場合に比べて大幅に少なくすることができる。

【0022】また、本実施形態のインダクタ素子は、パターン片2とボンディングワイヤ3とで構成され、ボンディングワイヤ3の材料には一般に抵抗の小さい金線が用いられる。また、インダクタ素子を立体的な構造にしたため、それぞれのパターン片2は1ターンに対応し、実装面積が従来の渦巻き状パターンに比べてはるかに小さくなる。したがって、抵抗の小さい電気的特性に優れたインダクタ素子を得ることができる。

【0023】また、図1では、巻数が3のインダクタ素子を形成する例を示しているが、基板1上に数多くのパターン片2を形成することで巻数を増やすことが容易に行え、したがって、インダクタンスの大きなインダクタ素子を容易に得ることができる。さらに、間隔を狭めて各パターン片2を配置することで、単位面積当たりのインダクタンスを大きくすることができ、小さな実装面積でインダクタンスの大きいインダクタ素子を得ることができる。

【0024】図1では、矩形状のパターン片2を基板1上に形成する例を示しているが、パターン片2の形状は矩形状に限定されず、また各パターン片2の形状は同じである必要はなく、サイズや形状が異なるパターン片2を組み合わせてインダクタ素子を形成してもよい。

【0025】また、図1に示す構造のインダクタ素子を複数基板上に形成する場合に、図4(a)に示すようにそれぞれのインダクタ素子を平行に並べると、図示の一点鎖線で示す磁束が互いに混じり合って磁気結合を起こすおそれがある。このため、複数のインダクタ素子を基板1上に形成する場合には、隣接するインダクタ素子を図4(b)に示すように直角に配置するのが望ましい。

【0026】一方、従来のような渦巻き形状のインダクタ素子を基板上に2つ形成する場合には、磁気結合を起こさないように双方のインダクタ素子をある程度離して形成する必要があった。ところが、図1に示すインダクタ素子の場合、図4(b)のように直角に配置する限り、双方のインダクタ素子を近接して配置しても磁気結合を起こすおそれはなく、高密度実装が可能となる。

【0027】〔第2の実施形態〕図5は、第2の実施形態のインダクタ素子の概略を示す平面図である。同図に

5

示すインダクタ素子は、半導体基板1上に形成された複数のボンディングパッド4と、これらボンディングパッド4を接続するためのボンディングワイヤ3とで構成され、ボンディングワイヤ3は、基板1の表面の一部を取り囲むように順次接続されている。

【0028】このように、図5に示すインダクタ素子はボンディングパッド4とボンディングワイヤ3のみで構成され、半導体基板1上にはボンディングパッド4のみを形成すればよく、ボンディングパッド4の形成箇所以外はすべて他の回路素子の実装に利用できるため、高密度実装が可能となる。また、パターンを形成することなくボンディングパッド4とボンディングワイヤ3のみでインダクタ素子を形成できるため、抵抗の小さい電気的特性に優れたインダクタ素子が得られる。

【0029】なお、インダクタ素子のインダクタンスを大きくしたい場合には、図6に示すように、基板1に形成された複数のボンディングパッド4を渦巻き状にボンディングワイヤ3で接続すればよい。図6のように渦巻き状に接続しても、渦巻きの中心に位置するボンディングパッド4からボンディングワイヤ3の下を通して渦巻きの外側にパターンを引き出すことができるため、従来のような渦巻きパターンを形成した場合のように多層構造にしないで済み、製造工程が簡易化する。

【0030】なお、図5、6は、渦巻きの周回部分が8角に折れ曲がっている例を説明したが、8角以外の角数で折れ曲がっていてもよく、あるいは円形でもよい。

【0031】

【発明の効果】以上詳細に説明したように、本発明によ

6

れば、パターン片とボンディングワイヤとを立体的に組み合わせてインダクタ素子を形成するため、インダクタ素子を形成するのに必要なパターンの実装面積が小さくて済み、高密度実装が可能となる。また、ボンディングワイヤの材料には抵抗の小さい金線等が用いられるため、インダクタ素子の抵抗値を十分に小さくすることができる。また、基板上に形成するパターン片の数を増やすことは比較的容易であり、巻数（ターン数）の多い、すなわちインダクタンスの大きいインダクタ素子を容易に得ることができる。

【図面の簡単な説明】

【図1】半導体基板上に形成された第1の実施形態のインダクタ素子の概略を示す図である。

【図2】図1のA-A線の拡大断面図である。

【図3】図1に示すインダクタ素子に電流を流したときに発生される磁束の様子を示す図である。

【図4】図1に示すインダクタ素子を複数基板上に形成した例を示す図である。

【図5】第2の実施形態のインダクタ素子の概略を示す平面図である。

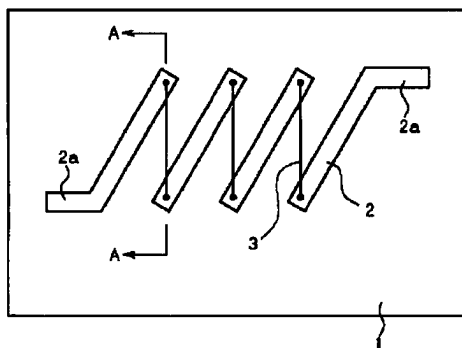
【図6】基板に形成された複数のボンディングパッドを渦巻き状にボンディングワイヤで接続した図である。

【図7】インダクタ素子から発生される磁束を説明する図である。

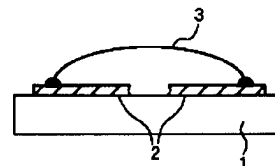
【符号の説明】

- 1 基板
- 2 パターン片
- 3 ボンディングワイヤ

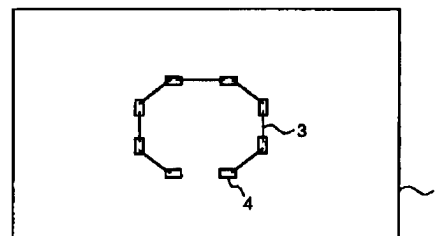
【図1】



【図2】



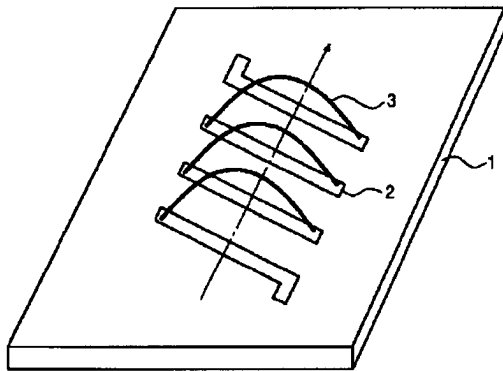
【図5】



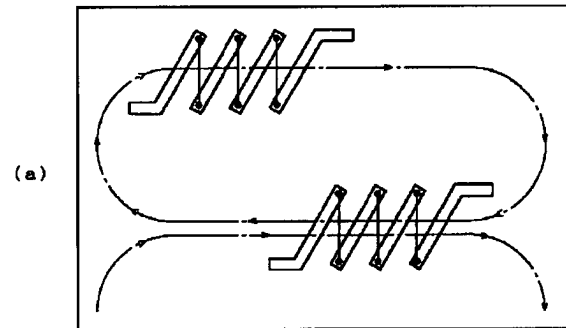
【図7】



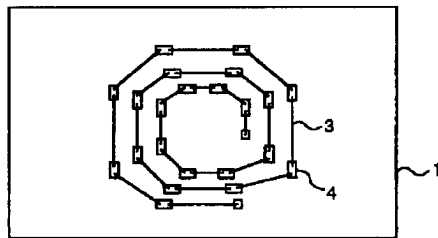
【図3】



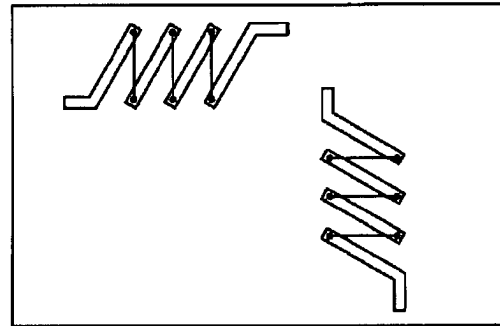
【図4】



【図6】



(b)



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H05K 3/10

識別記号 庁内整理番号

F I

技術表示箇所